

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067598

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

H01L 21/304

(21)Application number : 04-014280

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.01.1992

(72)Inventor : KISHII SADAHIRO  
ARIMOTO YOSHIHIRO  
MIYAYASU TORU  
KIYOKAWA YOSHIHIRO

(30)Priority

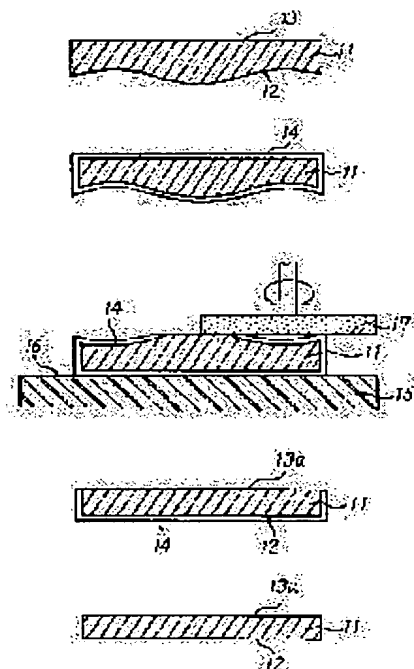
Priority number : 03170302    Priority date : 11.07.1991    Priority country : JP

## (54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

**PURPOSE:** To provide a method of manufacturing semiconductor substrate which can further improve flatness of a single semiconductor wafer or uniformity of thickness of a semiconductor layer having the thickness of several  $\mu\text{m}$  or thinner joined with a supporting substrate.

**CONSTITUTION:** After a wet oxide film 14 is formed in the thickness of about  $1\mu\text{m}$  as a protection film on a grinding surface 12 and a rear surface 13 of a silicon wafer 11 of ununiform thickness having TTV of 2 to  $4\mu\text{m}$ , the polishing surface 12 covered with the wet oxide film 14 is placed through close contactness on the flat surface 16 of a surface table 15 and the rear surface 13 of silicon wafer 11 is ground with a rotatable grind stone 17 to make flat the rear surface 13. Thereafter, the wet oxide film 14 on the grinding surface 12 is removed.



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]A manufacturing method of a semiconductor substrate characterized by comprising the following.

A process of carrying out mirror polishing of the 1st monotonous field that consists of semiconductors.  
A process of forming a wrap protective film for said 1st monotonous field by which mirror polishing was carried out.

A process of carrying out surface grinding of said 2nd monotonous field where said 1st monotonous field covered with said protective film is stuck to a flat face.

A process of removing said protective film from said 1st monotonous field.

[Claim 2]Said plate consists of silicon in a manufacturing method of the semiconductor substrate according to claim 1, A manufacturing method of a semiconductor substrate being the process of forming a vapor-phase-epitaxy oxide film with vapor phase epitaxy on said dry oxidation film after a process of forming said protective film carries out dry oxidation of said 1st monotonous field and forms a dry oxidation film on said 1st monotonous field.

[Claim 3]Said plate consists of silicon in a manufacturing method of the semiconductor substrate according to claim 1, A manufacturing method of a semiconductor substrate being the process of carrying out dry oxidation and forming a dry oxidation film between said 1st monotonous field and said wet oxide film after a process of forming said protective film carries out wet oxidation of said 1st monotonous field and forms a wet oxide film on said 1st monotonous field.

[Claim 4]A manufacturing method of a semiconductor substrate, wherein temperature which carries out dry oxidation of said 1st monotonous field in a manufacturing method of the semiconductor substrate according to claim 2 or 3 is not less than 1000 \*\*.

[Claim 5]A manufacturing method of a semiconductor substrate with which said dry oxidation film formed on said 1st monotonous field in a manufacturing method of the semiconductor substrate according to claim 3 is characterized by having not less than 50-nm thickness.

[Claim 6]A manufacturing method of the semiconductor substrate according to any one of claims 1 to 5 characterized by comprising the following.

A process of said plate consisting of silicon, oxidizing said 2nd monotonous field thermally at least following on a process of removing said protective film, and forming an oxidizing film.

A process of removing said oxidizing film by etching.

[Claim 7]A process of carrying out mirror polishing of the 1st field of a supporting board, and a process of carrying out surface grinding of the 2nd field of said supporting board where the 1st field of said supporting board by which mirror polishing was carried out is stuck to a flat face, A process of joining said plate and a supporting board where a process of carrying out mirror polishing of the 1st monotonous field that consists of semiconductors, and said 1st monotonous field by which mirror polishing was carried out and the 1st field of said supporting board are stuck, A manufacturing method of a semiconductor substrate carrying out surface grinding of said 2nd monotonous field where the 2nd field of said said supporting board joined as it is monotonous is stuck to a flat face, and including a process of carrying out lamination of said plate.

[Claim 8]In a manufacturing method of the semiconductor substrate according to claim 7, a process of joining said plate and a supporting board, A manufacturing method of a semiconductor substrate being

the process of joining said plate and said supporting board via said insulator layer after forming an insulator layer on the 1st [ of said supporting board ] field, or said 1st monotonous field.

[Claim 9]A manufacturing method of a semiconductor substrate including a process of performing polish or etching to the 2nd field of said said supporting board joined as it is monotonous, in a manufacturing method of the semiconductor substrate according to claim 7 or 8.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the manufacturing method of the semiconductor substrate which starts the manufacturing method of a semiconductor substrate, especially has advanced surface smoothness required for a high-density integrated circuit. The exposure device of high resolution is needed in connection with the pattern which constitutes an integrated circuit carrying out minuteness making. For this reason, the demand to the surface smoothness of a semiconductor substrate which it is not avoided that the depth of focus of an exposure device becomes shallow, but receives exposure as a result is severe.

[0002]Reduction of the radiation-proof characteristic of a semiconductor device or parasitic capacitance, latchup prevention of the semiconductor device of CMOS structure, etc. are received, It is expected as a substrate which forms the semiconductor device whose semiconductor substrate of SOI (SiliconOn Insulator) structure is [ that it is effective and the future is high-density and ] highly efficient. The development is furthered as one of what [ the ] has the SOI substrate of the structure which pasted the silicon wafer of two sheets together via the insulating layer closest to utilization at present. In the SOI substrate by this lamination art, it is necessary to carry out lamination of one silicon wafer to a thickness of about several microns uniformly.

[0003]

[Description of the Prior Art]The conventional general making process of a silicon wafer is shown in drawing 9. That is, after growing up the ingot of a silicon single crystal and rough-cutting this ingot to suitable length by the Czochralski method, that side is ground and it is processed cylindrical. After cutting this cylindrical ingot to a thin disk (slicing) and performing surrounding chamfering work (beveling) of this disk, the surface of said disk is wrapped and etched one by one. By this wrapping and etching, a silicon wafer is made thin to near the desired last thickness. Then, the surface which forms a semiconductor device is ground and mirror finish is performed.

[0004]The difference TTV (Total Thickness Variation) of the maximum of thickness and the minimum by which mirror finish was carried out is about 2-4 micrometers. [ in / by the above-mentioned conventional process / a silicon wafer 6 inches in diameter ]

[0005]

[Problem(s) to be Solved by the Invention]this invention person has proposed the method of raising surface smoothness with the application of the surface grinding which uses a grinding stone instead of wrapping in the conventional process shown in drawing 9, and etching (Japanese Patent Application No. 02-129725, the application dated May 18 of Heisei 2 and Japanese Patent Application No. 02-23775, application dated September 7 of Heisei 2). It is possible to improve TTV in a silicon wafer 6 inches in diameter to about 1 micrometer by this method.

[0006]However, it was not avoided by the polish for the mirror finish performed after surface grinding that display flatness deteriorates. In the SOI substrate based on lamination art, the influence of degradation of this display flatness is expanded more, and appears. This is for the thickness distribution of a SOI layer (silicon layer on an oxide film) to have direct influence on a device property in a SOI wafer. Namely, since the thickness distribution of the support side wafer (side which does not form a device) of a SOI wafer turns into thickness distribution of a SOI layer as it is in a SOI layer, For example, if there are 2 micrometers of TTV(s) of the support side wafer to the thickness of a SOI layer being about 2 micrometers, when a SOI wafer is produced, a field with a SOI layer and the field which is

not will be made.

[0007]Therefore, when it is required that the active layer by which lamination was uniformly carried out to desired thickness should be obtained, it has been a technical problem to obtain the still smaller wafer of TTV. Then, an object of this invention is to provide the manufacturing method of the semiconductor substrate which can be further improved in the homogeneity of several micrometers in thickness joined to the surface smoothness or the supporting board of the semiconductor wafer of the simple substance thru/or the thickness of the semiconductor layer not more than it.

[0008]

[Means for Solving the Problem]A process of carrying out mirror polishing of the 1st monotonous field where the above-mentioned purpose consists of semiconductors, A process of forming a wrap protective film for said 1st monotonous field by which mirror polishing was carried out, It is attained by a manufacturing method of a semiconductor substrate including a process of carrying out surface grinding of said 2nd monotonous field where said 1st monotonous field covered with said protective film is stuck to a flat face, and a process of removing said protective film from said 1st monotonous field.

[0009]Said plate consists of silicon in a manufacturing method of the above-mentioned semiconductor substrate, After a process of forming said protective film carries out dry oxidation of said 1st monotonous field and forms a dry oxidation film on said 1st monotonous field, it is attained by a manufacturing method of a semiconductor substrate being the process of forming a vapor-phase-epitaxy oxide film with vapor phase epitaxy on said dry oxidation film.

[0010]Said plate consists of silicon in a manufacturing method of the above-mentioned semiconductor substrate, After a process of forming said protective film carries out wet oxidation of said 1st monotonous field and forms a wet oxide film on said 1st monotonous field, It is attained by a manufacturing method of a semiconductor substrate being the process of carrying out dry oxidation and forming a dry oxidation film between said 1st monotonous field and said wet oxide film.

[0011]In a manufacturing method of the above-mentioned semiconductor substrate, temperature which carries out dry oxidation of said 1st monotonous field is attained by a manufacturing method of a semiconductor substrate being not less than 1000 \*\*. In a manufacturing method of the above-mentioned semiconductor substrate, said dry oxidation film formed on said 1st monotonous field is attained by a manufacturing method of a semiconductor substrate having not less than 50-nm thickness.

[0012]A process of said plate consisting of silicon, oxidizing said 2nd monotonous field thermally at least in a manufacturing method of the above-mentioned semiconductor substrate following on a process of removing said protective film, and forming an oxidizing film, It is attained by a manufacturing method of a semiconductor substrate including a process of removing said oxidizing film by etching. A process to which an aforementioned problem carries out mirror polishing of the 1st field of a supporting board and a process of carrying out surface grinding of the 2nd field of said supporting board where the 1st field of said supporting board where mirror polishing was carried out is stuck to a flat face, A process of joining said plate and a supporting board where a process of carrying out mirror polishing of the 1st monotonous field that consists of semiconductors, and said 1st monotonous field by which mirror polishing was carried out and the 1st field of said supporting board are stuck, Where the 2nd field of said said supporting board joined as it is monotonous is stuck to a flat face, surface grinding of said 2nd monotonous field is carried out, and it is attained by a manufacturing method of a semiconductor substrate including a process of carrying out lamination of said plate.

[0013]A process of joining said plate and a supporting board in a manufacturing method of the above-mentioned semiconductor substrate, After forming an insulator layer on the 1st [ of said supporting board ] field, or said 1st monotonous field, it is attained by a manufacturing method of a semiconductor substrate being the process of joining said plate and said supporting board via said insulator layer. In a manufacturing method of the above-mentioned semiconductor substrate, it is attained by a manufacturing method of a semiconductor substrate including a process of performing polish or etching to the 2nd field of said said supporting board joined as it is monotonous.

[0014]

[Function]By covering the 1st monotonous field that consists of semiconductors and by which mirror-polishing finishing was carried out by a protective film, and carrying out surface grinding of the 2nd monotonous field, where this 1st field is stuck to a flat face like a surface plate, The non-surface smoothness produced by polish can be eliminated, and homogeneity high about a polished surface and a surface grinding face-to-face distance, i.e., monotonous thickness, can be obtained. And if a protective

film is removed, the polished surface which can form a semiconductor device will express.

[0015]By forming a dry oxidation film in the monotonous 1st field side, and forming a protective film combining this dry oxidation film, a vapor-phase-epitaxy oxide film, or a wet oxide film, when a plate consists of silicon, Since unevenness in the surface of the polished surface which removes and expresses this protective film can be made small, the characteristic of the semiconductor device formed in this polished surface can be raised.

[0016]After oxidizing the 2nd monotonous field thermally, the crystal defect and pollutant which were produced in the 2nd monotonous field with surface grinding are removable by carrying out etching removal of this oxide film. By carrying out surface grinding of the 2nd monotonous field, and carrying out lamination, after joining the 1st monotonous field that carried out mirror polishing to the polished surface of the supporting board which equalized thickness as mentioned above via an insulating layer, The high homogeneity about the monotonous thickness which is demanded in a lamination SOI substrate and by which lamination was carried out can be obtained.

[0017]The crystal defect and pollutant which were produced in the 2nd field of the supporting board with surface grinding are removable by performing polish or etching to the 2nd field of the supporting board joined as it is monotonous.

[0018]

[Example]Hereafter, based on the example illustrating this invention, it explains concretely. Drawing 1 is process drawing for explaining the manufacturing method of the semiconductor substrate by the 1st example of this invention. The silicon wafer 11 with a diameter of 6 inches produced by the conventional process shown in above-mentioned drawing 9 is shown in drawing 1 (a). This silicon wafer 11 has the polished surface 12 and the rear face 13 by which mirror polishing was carried out, and that average thickness is about 655 micrometers larger about 30 micrometers than the usual thickness, and has the heterogeneity of thickness like a graphic display. However, since the rear face 13 to the polished surface 12 is typically drawn so that evenly, the heterogeneity of thickness has put together and appeared in the polished surface 12. TTV of the polished surface 12 at this time is 2-4 micrometers as mentioned above.

[0019]Even if there are few these silicon wafers 11, a protective film is formed on the polished surface 12. What is necessary is to heat-treat the silicon wafer 11 at the temperature of 1100 \*\* for 4 hours in the atmosphere which contains a steam, for example, and just to perform formation of this protective film using the method of the common knowledge which forms an oxidizing film in that surface. In this case, as shown in drawing 1 (b), the wet oxide film 14 about 1 micrometer thick is generated all over including the polished surface 12 and the rear face 13 of the silicon wafer 11. A protective film may be formed by using the well-known CVD (chemical vapor deposition) method, and growing up a CVD oxide film on the polished surface 12 instead of using a thermal oxidation method.

[0020]Subsequently, as shown in drawing 1 (c), the polished surface 12 of the silicon wafer 11 covered with the wet oxide film 14 is stuck to the flat face 16 of the surface plate 15. What is necessary is just to perform this adhesion by the method of the common knowledge which carries out vacuum absorption through the breakthrough which is provided in the surface plate 15, and which is not illustrated. As for this, the polished surface 12 becomes flat, and it will be in the state where non-surface smoothness appeared in the rear face 13. Since the polished surface 12 is covered with the wet oxide film 14, generating of the defect by contact with the surface plate 15 is prevented.

[0021]Then, surface grinding of the rear face 13 of the silicon wafer 11 is carried out with the emery wheel stone 17. After grinding it about 25 micrometers with the emery wheel stone whose particle size is No. 500, for example, if about 5 micrometers of this surface grinding is ground with the emery wheel stone whose particle size is No. 2000, it is efficient. Thus, as shown in drawing 1 (d), flattening of the rear face 13 of the silicon wafer 11 is carried out, and the grinding side 13a by which flattening was carried out is expressed.

[0022]Subsequently, after washing by immersing the silicon wafer 11 for about 10 minutes into the mixed water solution of  $\text{NH}_4\text{OH}$  (ammonium hydroxide) and  $\text{H}_2\text{O}_2$  (hydrogen peroxide), The silicon wafer 11 is immersed into 10%HF (fluoric acid) solution, and the wet oxide film 14 is removed. Thereby, as shown in drawing 1 (e), the polished surface 12 of the silicon wafer 11 is expressed.

[0023]Next, the manufacturing method of the semiconductor substrate by the 2nd example of this invention is explained using process drawing shown in drawing 2. The same numerals are given to the same component as the semiconductor substrate shown in drawing 1, and explanation is omitted. The

silicon wafer 11 of the state of drawing 1 (e) produced by the 1st example of the above is shown in drawing 2 (a). When this silicon wafer 11 is heat-treated at the temperature of 1100 °C for 4 hours in the atmosphere which contains a steam, for example, by this thermal oxidation. As shown in drawing 2 (b), the polished surface 12 and the grinding side 13a of the silicon wafer 11 oxidize by Fukushima who is about 0.44 micrometer, and the wet oxide film 18 about 1 micrometer thick is generated.

[0024] Subsequently, the silicon wafer 11 is immersed into a 10% HF aqueous solution, and as shown in drawing 2 (c), the wet oxide film 18 is removed. Thereby, the crystal defect and pollutant which were produced in the grinding side 13a of the silicon wafer 11 with surface grinding are removable. Although the depth which such a defect and a pollutant produce changes with other particle size and grinding conditions of the grinding stone used for surface grinding, it is 1 micrometer or less in almost all cases. The direction of a pollutant exists in a shallower layer.

Therefore, a pollutant is removed nearly thoroughly by generation and its removal of the wet oxide film 18 by the thermal oxidation of the rear face 13 of the silicon wafer 11. Since a defect functions as a gettering center, it is not necessary to necessarily remove all.

[0025] Next, the surface smoothness and crystal quality of the silicon wafer 11 which were acquired in the 1st and 2nd examples of the above were investigated. They are the resisting pressure defect density generated when voltage is impressed to the oxide film formed on OSF (oxidation induction stacking fault) density and the polished surface 12 as crystal quality evaluation criteria, and impurity concentration. OSF density gives defect information with the detailed surface. Resisting pressure defect density expresses withstand voltage degradation resulting from the surface geometrical unevenness and contamination by a defect, and gives a kind of defect information. The resisting pressure limit judged 8 or less MV/cm to be a defect.

[0026] The atomic absorption analysis which used vapor phase cracking was applied to measurement of impurity concentration. The outline of this method is as follows. A silicon wafer is put to the steam of  $\text{HNO}_3$  (nitric acid) and HF (hydrogen fluoride). A wafer is thinly etched by  $\text{HNO}_3$  and HF liquefied on the surface. The impurity contained in this liquid is quantified with an atomic absorption method. Since purity improves by making  $\text{HNO}_3$  and HF into a steam and a silicon wafer is etched with a little liquid, there is the feature to which detection sensitivity becomes high.

[0027] The observed impurity elements are Fe (iron) and Ca (calcium). Fe(s) are main impurities which degrade the characteristic of a semiconductor device. I thought that it was suitable as a sign of the pollutant by surface grinding since Ca is an ingredient mostly contained in the grinding stone used for surface grinding after C (carbon C), O (oxygen), and H (hydrogen). The above-mentioned results of an investigation are shown in Table 1 as compared with it about the conventional silicon wafer produced at the process of drawing 9.

[0028]

[Table 1]

		第1の実施例 の場合	第2の実施例 の場合	従来品
平坦性 (TTV: $\mu m$ ) 平均値 $\pm \sigma$		$0.6 \pm 0.2$	$0.7 \pm 0.3$	$2.2 \pm 0.8$
OSF密度 (個/ $cm^2$ )	表面	15	8	3
	裏面	>1000	70	— *
耐圧欠陥密度 (個/ $cm^2$ ) 絶縁層厚 20 nm		5.2	3.3	2
不純物濃度 (原子/ $cm^2$ )	Fe	$5 \times 10^{11}$	$1 \times 10^{11}$	$1 \times 10^{11}$
	Ca	$5 \times 10^9$	$< 1 \times 10^9$	$< 1 \times 10^9$

[0029] Here, it is shown that it cannot be measured since mirror polishing of \* is not carried out. The case of surface smoothness of the 1st example is the best, and, in the case of the 2nd example that performed oxidation for a defect or impurity removal, and etching, it has deteriorated a little, but has a TTV value of 1 micrometer or less, and is improving remarkably compared with elegance conventionally so that clearly from this table 1.

[0030] OSF density and resisting pressure defect density are values which are satisfactory practically, although the case of the 1st and 2nd examples is increasing from elegance conventionally. In the case of the 1st example, about impurity concentration, it is conventionally higher than elegance. However, as shown in the case of the 2nd example, it turns out that it will be removed simultaneously with defective removal.

[0031] Next, the manufacturing method of the semiconductor substrate by the 3rd example of this invention is explained using process drawing shown in drawing 3. The same numerals are given to the same component as the semiconductor substrate shown in drawing 1, and explanation is omitted. what is shown in drawing 3 (a) at drawing 1 (a) -- the same -- the silicon wafer 11 with an average thickness [ with the polished surface 12 by which mirror polishing was carried out, and the rear face 13 ] of about 655 micrometers is shown. In dry cleaning O<sub>2</sub> (oxygen) atmosphere, this silicon wafer 11 is heat-treated for 15 minutes at the temperature of 1100 \*\*, and the silicon wafer 11 surface is oxidized thermally. Of this dry oxidation, the 50-nm-thick dry oxidation film 19 is formed all over including the polished surface 12 and the rear face 13 of the silicon wafer 11.

[0032] Each gas mass flow using a CVD method Then, SiH<sub>4</sub>(Silang) = 2.0 l/min, O<sub>2</sub> = 1.2 l/min, N<sub>2</sub>(nitrogen) = 13.8 l/min, CVD oxide film 20 about 1 micrometer thick is grown up on the dry oxidation film 19 of the polished surface 12 of the silicon wafer 11 by the wafer temperature of 400 \*\*, and the deposition conditions for assembly time 27 minutes. Thereby, as shown in drawing 3 (b), the protective film which consists of the dry oxidation film 19 and CVD oxide film 20 is formed on the polished surface 12 of the silicon wafer 11.

[0033] Subsequently, after sticking the polished surface 12 of the silicon wafer 11 covered with the dry oxidation film 19 and CVD oxide film 20 to the flat face of a surface plate like the process shown in above-mentioned drawing 1 (c) - (d), About 10 micrometers of rear faces 13 of the silicon wafer 11 are ground with the emery wheel stone whose particle size is No. 800, for example, and also about 5 micrometers is ground with the emery wheel stone whose particle size is No. 2000. Flattening of the rear face 13 of the silicon wafer 11 is carried out, and the grinding side 13a is made to express with this surface grinding, as shown in drawing 3 (c).



[0034]Subsequently, after washing the silicon wafer 11 by the mixed water solution of  $\text{NH}_4\text{OH}$  and  $\text{H}_2\text{O}_2$ , an HF aqueous solution removes CVD oxide film 20 and the dry oxidation film 19 10%. In this way, as shown in drawing 3 (d), the silicon wafer 11 of the uniform thickness whose distance with the grinding side 13a by which surface grinding was carried out to the polished surface 12 by which mirror polishing was carried out is fixed can be obtained.

[0035]In this example, having formed the dry oxidation film 19 in the polished surface 12 of the silicon wafer 11 by dry oxidation as a protective film, It is because the thing to which unevenness of the  $\text{Si}/\text{SiO}_2$  interface formed of dry oxidation does not become large and which unevenness decreases especially according to the dry oxidation in the temperature of not less than 900 °C is known. Therefore, the unevenness in the polished surface 12 surface of the silicon wafer 11 after removing the dry oxidation film 19 becomes small. Even if the state of the interface of this dry oxidation film 19 and CVD oxide film 20 formed on this is not good, since both CVD oxide film 20 and the dry oxidation film 19 are removed eventually, it is satisfactory.

[0036]Having constituted the protective film combining CVD oxide film 20 about 1 micrometer thick on the 50-nm-thick dry oxidation film 19 is based on the following reasons. In order to prevent generating of the defect at the time of sticking the polished surface 12 of the silicon wafer 11 to the flat face 16 of the surface plate 15, as the whole protective film, a thickness of about 1 micrometer is required. however, The oxidation rate of the wet oxidation and dry oxidation of drawing 4. So that clearly from the shown graph (HelmutF.Wolf, International Series of Monographs on Semiconductors", Pergamon Press, p.549 reference), Since [ reached to an extreme of which ] it is small, in order for the oxide film formation speed of dry oxidation to obtain a thickness of 1 micrometer, even if it oxidizes at the temperature of 1200 °C, it will take 1000 minutes. For this reason, it is not appropriate to form the whole protective film by dry oxidation in respect of cost. Therefore, we decided to secure thickness required as a protective film by combining CVD oxide film 20 with a large growth rate with this dry oxidation film 19.

[0037]Next, the manufacturing method of the semiconductor substrate by the 4th example of this invention is explained using process drawing shown in drawing 5. The same numerals are given to the same component as the semiconductor substrate shown in drawing 3, and explanation is omitted. what is shown in drawing 5 (a) at drawing 3 (a) — the same — the silicon wafer 11 with an average thickness [ with the polished surface 12 by which mirror polishing was carried out, and the rear face 13 ] of about 655 micrometers is shown. If this silicon wafer 11 is heat-treated for 250 minutes at the temperature of 1100 °C in the atmosphere which contains a steam, for example, wet oxidation of the polished surface 12 and the rear face 13 of the silicon wafer 11 will be carried out, and the wet oxide film 21 which is about 1 micrometer in thickness will be generated. Since it is quick, the oxidation rate at this time can obtain desired thickness comparatively also five to 10 times in a short time as compared with dry oxidation, so that clearly from the graph which shows the oxidation rate of the wet oxidation and dry oxidation of drawing 4.

[0038]Then, the silicon wafer 11 in which this wet oxide film 21 was formed is heat-treated for 25 minutes at the temperature of 1000 °C in dry cleaning  $\text{O}_2$  atmosphere. Of this dry oxidation, the 40-nm-thick dry oxidation film 22 is formed in the interface of the silicon wafer 11 and the wet oxide film 21. Thereby, as shown in drawing 5 (b), the protective film which consists of the dry oxidation film 22 and the wet oxide film 21 is formed on the polished surface 12 of the silicon wafer 11.

[0039]Subsequently, by carrying out surface grinding of the rear face 13 of the silicon wafer 11, after sticking the polished surface 12 of the silicon wafer 11 covered with the dry oxidation film 22 and the wet oxide film 21 to the flat face of a surface plate, Flattening of the rear face 13 of the silicon wafer 11 is carried out, and the grinding side 13a is made to express, as shown in drawing 5 (c). Subsequently, after washing the silicon wafer 11 by the mixed water solution of  $\text{NH}_4\text{OH}$  and  $\text{H}_2\text{O}_2$ , an HF aqueous solution removes the wet oxide film 21 and the dry oxidation film 22 10%. In this way, as shown in drawing 5 (d), the silicon wafer 11 of the uniform thickness whose distance with the rear face 13 by which surface grinding was carried out to the polished surface 12 by which mirror polishing was carried out is fixed can be obtained.

[0040]In this example, having constituted the protective film combining the dry oxidation film 22 and the wet oxide film 21 is based on the following reasons. By carrying out dry oxidation continuously, after forming the wet oxide film 21 by the wet oxidation of the silicon wafer 11, As shown in the mimetic

diagram showing change of the Si/SiO<sub>2</sub> interface of drawing 6 (a) and (b), unevenness is formed in the Si/SiO<sub>2</sub> interface of the silicon wafer 11 and the wet oxide film 21 which are formed of the first wet oxidation, but. Then, since the dry oxidation film 22 is formed between the silicon wafer 11 and the wet oxide film 21 of the performed dry oxidation and the Si/SiO<sub>2</sub> interface of the silicon wafer 11 and the dry oxidation film 22 is formed of it, unevenness of a Si/SiO<sub>2</sub> interface decreases.

[0041]The experiment showed that the amplitude of unevenness of the Si/SiO<sub>2</sub> interface produced by wet oxidation was only 5 nm. Therefore, if the dry oxidation film of the thickness of this amplitude 10 times close to is formed, it will be thought that the unevenness produced by wet oxidation decreases substantially. Therefore, we decided to form the 40-nm-thick dry oxidation film 22 in this example.

[0042]If the oxidizing temperature of dry oxidation is raised, it is known that unevenness of a Si/SiO<sub>2</sub> interface will decrease. Therefore, the Si/SiO<sub>2</sub> interface whose unevenness is still smaller can be acquired by making oxidizing temperature of dry oxidation into an elevated temperature further from 1000 \*\*. In this way, in this example, unevenness in the polished surface 12 surface of the silicon wafer 11 after removing the wet oxide film 21 and the dry oxidation film 22 can be similarly made small like the 3rd example of the above.

[0043]Next, the influence which it has on the characteristic of the semiconductor device which the unevenness in the polished surface 12 of the silicon wafer 11 forms in the polished surface 12 was investigated. On the polished surface 12 of the silicon wafer 11 obtained in the 1st and 4th examples of the above, the oxide film of predetermined thickness was formed, this oxide film pressure-proofing was measured, and, specifically, both were compared. The result is shown in drawing 7.

[0044]In the case of the 1st example [ polished surface / 12 / of the silicon wafer 11 ] using the wet oxide film 14 as a wrap protective film so that clearly from the graph of this drawing 7, Dry oxidation is performed to resisting pressure destruction of an B mode having arisen following wet oxidation, In the case of the 2nd example that formed the protective film combining the dry oxidation film 22 and the wet oxide film 21 on the polished surface 12 of the silicon wafer 11, the density of the pressure resistance of an B mode is decreasing remarkably, and is concentrating on intrinsic destruction by high electric field intensity. The improvement in the oxide film resisting pressure characteristic in the case of such 2nd example originates in reduction of unevenness of the polished surface 12 surface of the silicon wafer 11.

[0045]Next, the manufacturing method of the semiconductor substrate by the 5th example of this invention is explained using process drawing shown in drawing 8. The same numerals are given to the same component as the semiconductor substrate shown in drawing 1 or drawing 2, and explanation is omitted. As shown in drawing 8 (a), the silicon wafer 11 produced by the 1st or 2nd example is prepared as a supporting board, and the silicon wafer 31 produced by the conventional process shown in drawing 9 is prepared. The silicon wafer 11 has the uniform thickness whose distance with the grinding side 13a by which surface grinding was carried out to the polished surface 12 by which mirror polishing was carried out is fixed, the another side silicon wafer 31 has the polished surface 32 and the rear face 33 by which mirror polishing was carried out, and the thickness has heterogeneity.

[0046]And as shown in drawing 8 (b), the polished surface 32 of the silicon wafer 31 which carried out mirror polishing as well as the polished surface 12 of the silicon wafer 11 which carried out mirror polishing is piled up as it faces mutually. At this time, the insulator layer is beforehand formed in either or the both sides on the polished surface 12 of the silicon wafer 11, and the polished surface 32 of the silicon wafer 31.

[0047]The case where the wet oxide film 34 about 1 micrometer thick is formed all over the silicon wafer 31 is shown in drawing 8 (a) as this insulator layer. In the atmosphere which contains a steam, for example, the silicon wafer 31 is heat-treated at the temperature of 1100 \*\* for 4 hours, and formation of this wet oxide film 34 is performed by oxidizing that surface thermally. Therefore, the wet oxide film 34 is generated in this case all over including the polished surface 32 and the rear face 33 of the silicon wafer 31. An insulator layer may be formed using a well-known CVD method by growing up a CVD oxide film on the polished surface 12 of the silicon wafer 11, or the polished surface 32 of the silicon wafer 31 instead of using a thermal oxidation method.

[0048]Since the heterogeneity of thickness is among the silicon wafers 31 produced by the process of drawing 9, as shown in drawing 8 (b), non-surface smoothness has appeared in the rear face 33 of the

silicon wafer 31 in the state where it was piled up with the silicon wafer 11 via the wet oxide film 34, but. Since it grinds behind, it is satisfactory. Mirror polishing of the surface may be carried out for the substrate which consists of insulating materials, such as silica glass, like the 1st example instead of the silicon wafer 11 as a supporting board, surface grinding of the rear face may be carried out, it may be used, and formation of an insulator layer may be omitted in this case.

[0049] Thus, the silicon wafer 11 and the silicon wafer 31 which were mutually piled up via the wet oxide film 34 are firmly joined by heat-treating for 30 minutes at the temperature of 1000 \*\*, for example in a nitrogen atmosphere. Subsequently, after sticking the rear face 13 of the silicon wafer 11 to the flat face of a surface plate and fixing like the process shown in drawing 1 (c), with an emery wheel stone, surface grinding of the rear face 33 of the silicon wafer 31 is carried out, and lamination is carried out to about 3 micrometers. Thereby, the silicon wafer 31 serves as the silicon layer 31a about 3 micrometers thick, and the grinding side 33a is expressed. Drawing 8 (c) shows the state just behind this. After grinding it about 600 micrometers with the emery wheel stone whose particle size is No. 500, for example, if about 20 micrometers of this surface grinding is ground with the emery wheel stone whose particle size is No. 2000, it is efficient.

[0050] Thus, to the grinding side 33a which the silicon layer 31a by which lamination was carried out exposed, as shown in drawing 8 (d), mirror finish is given by usual chemical and opportunity polish. The last thickness at this time is 2 micrometers. Thereby, the grinding side 33a of the silicon layer 31a turns into the polished surface 33b to which mirror finish was given. The grinding side 13a of the silicon wafer 11 is ground or etched, and a crystal defect is removed.

[0051] Thus, the semiconductor substrate of the SOI structure by which the 2-micrometer-thick silicon layer 31a was formed via the wet oxide film 34 about 1 micrometer thick on the silicon wafer 11 as a supporting board, i.e., a SOI substrate, is completed. TTV of the polished surface in this SOI substrate can obtain the homogeneity of a remarkable flat face, i.e., thickness, although it is 1.0\*\*0.2 micrometers and TTV of the SOI substrate of the conventional lamination structure is 2.1\*\*1.0 micrometers.

[0052]

[Effect of the Invention] As mentioned above, according to this invention, since surface grinding of the rear face is carried out after carrying out mirror-polishing finishing of the surface which forms a semiconductor device, monotonous surface smoothness can be raised remarkably and TTV can be made small. The problem which a defect may generate in a polished surface by contact with a surface plate etc. at the time of surface grinding is prevented by covering the polished surface by the protective film beforehand. Unevenness in the surface of the polished surface which removes and expresses a protective film can be made small by forming a dry oxidation film in contact with a polished surface, and forming a protective film combining this dry oxidation film, a vapor-phase-epitaxy oxide film, or a wet oxide film. The crystal defect and contamination which are generated at the rear face with surface grinding are removed even to the level which is convenient practically by the thermal oxidation of the rear face, and etching of an oxidizing film.

[0053] As a result, there is an effect applicable to manufacture of future high density and highly efficient integrated circuit that it can be single or the semiconductor substrate of SOI structure can be provided.

---

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-67598

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/304

識別記号

3 2 1 M 8831-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 9 (全 14 頁)

(21)出願番号 特願平4-14280

(22)出願日 平成4年(1992)1月29日

(31)優先権主張番号 特願平3-170302

(32)優先日 平3(1991)7月11日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 岸井 貞浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 有本 由弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 宮保 徹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 北野 好人

最終頁に続く

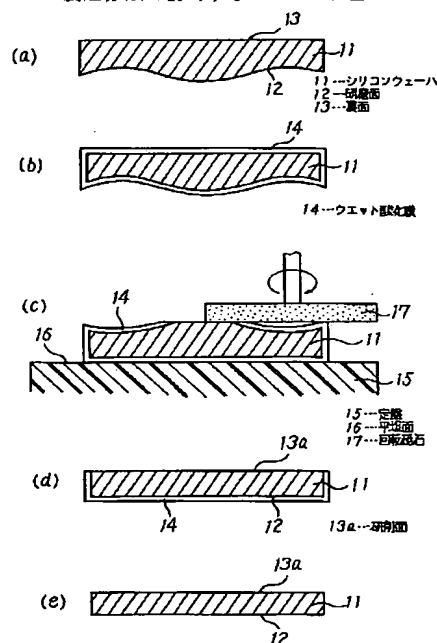
(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【目的】本発明は、単体の半導体ウェーハの平坦性或いは支持基板に接合された厚さ数 $\mu\text{m}$ 乃至それ以下の半導体層の厚さの均一性を更に向上することが可能な半導体基板の製造方法を提供することを目的とする。

【構成】TTVが2～4 $\mu\text{m}$ の不均一な厚さのシリコンウェーハ11の研磨面12及び裏面13に、保護膜として厚さ約1 $\mu\text{m}$ のウエット酸化膜14を形成した後、ウエット酸化膜14に覆われた研磨面12を定盤15の平坦面16に密着させ、シリコンウェーハ11の裏面13を回転砥石17により平面研削して、裏面13を平坦化する。その後、研磨面12上のウエット酸化膜14を除去する。

本発明の第1の実施例による半導体基板の製造方法を説明するための工程図



【特許請求の範囲】

【請求項 1】 半導体からなる平板の第 1 の面を鏡面研磨する工程と、  
鏡面研磨された前記平板の第 1 の面を覆う保護膜を形成する工程と、  
前記保護膜によって覆われた前記平板の第 1 の面を平坦面に密着させた状態で前記平板の第 2 の面を平面研削する工程と、  
前記平板の第 1 の面から前記保護膜を除去する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 2】 請求項 1 記載の半導体基板の製造方法において、  
前記平板がシリコンからなり、  
前記保護膜を形成する工程が、前記平板の第 1 の面をドライ酸化して前記平板の第 1 の面上にドライ酸化膜を形成した後、前記ドライ酸化膜上に気相成長によって気相成長酸化膜を形成する工程であることを特徴とする半導体基板の製造方法。

【請求項 3】 請求項 1 記載の半導体基板の製造方法において、  
前記平板がシリコンからなり、  
前記保護膜を形成する工程が、前記平板の第 1 の面をウェット酸化して前記平板の第 1 の面上にウェット酸化膜を形成した後、ドライ酸化して前記平板の第 1 の面と前記ウェット酸化膜との間にドライ酸化膜を形成する工程であることを特徴とする半導体基板の製造方法。

【請求項 4】 請求項 2 又は 3 記載の半導体基板の製造方法において、  
前記平板の第 1 の面をドライ酸化する温度が、1000℃以上であることを特徴とする半導体基板の製造方法。

【請求項 5】 請求項 3 記載の半導体基板の製造方法において、  
前記平板の第 1 の面上に形成された前記ドライ酸化膜が、50nm以上の膜厚を有することを特徴とする半導体基板の製造方法。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の半導体基板の製造方法において、  
前記平板がシリコンからなり、  
前記保護膜を除去する工程に引き続いて、少なくとも前記平板の第 2 の面を熱酸化して熱酸化膜を形成する工程と、  
前記熱酸化膜をエッチングにより除去する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 7】 支持基板の第 1 の面を鏡面研磨する工程と、  
鏡面研磨された前記支持基板の第 1 の面を平坦面に密着させた状態で前記支持基板の第 2 の面を平面研削する工程と、  
半導体からなる平板の第 1 の面を鏡面研磨する工程と、  
鏡面研磨された前記平板の第 1 の面と前記支持基板の第

1 の面とを密着させた状態で前記平板と支持基板とを接合する工程と、

前記平板と接合された前記支持基板の第 2 の面を平坦面に密着させた状態で前記平板の第 2 の面を平面研削して、前記平板を薄層化する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 8】 請求項 7 記載の半導体基板の製造方法において、  
前記平板と支持基板とを接合する工程が、前記支持基板の第 1 の面上又は前記平板の第 1 の面上に絶縁膜を形成した後、前記絶縁膜を介して前記平板と前記支持基板とを接合する工程であることを特徴とする半導体基板の製造方法。

【請求項 9】 請求項 7 又は 8 記載の半導体基板の製造方法において、  
前記平板と接合された前記支持基板の第 2 の面に対して研磨またはエッチングを施す工程を含むことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体基板の製造方法に係り、特に高密度半導体集積回路に必要な高度の平坦性を有する半導体基板の製造方法に関する。半導体集積回路を構成するパターンが微細化するのに伴って、高解像度の露光装置が必要とされる。このため、露光装置の焦点深度が浅くなることが避けられず、その結果、露光を受ける半導体基板の平坦性に対する要求が厳しくなっている。

【0002】また、半導体装置の耐放射線特性や寄生容量の低減、更にはCMOS構成の半導体装置のラッチアップ防止等に対して、SOI (SiliconOn Insulator) 構造の半導体基板が有効であり、将来の高密度・高性能の半導体装置を形成する基板として期待されている。現在のところ、二枚のシリコンウェーハを絶縁層を介して張り合わせた構造のSOI基板が実用化に最も近いものの一つとして、その開発が進められている。この張り合わせ技術によるSOI基板においては、一方のシリコンウェーハを、数ミクロン程度の厚さに均一に薄層化する必要がある。

【0003】

【従来の技術】図9に、シリコンウェーハの従来の一般的な作製工程を示す。即ち、引き上げ法によってシリコン単結晶のインゴットを成長させ、このインゴットを適当な長さに粗切りした後、その側面を研削して円筒状に加工する。この円筒状のインゴットを薄い円板に切断（スライシング）し、この円板の周辺の面取り加工（ベベリング）を行った後、前記円板の表面を順次ラッピング及びエッチングする。このラッピングとエッチングにより、シリコンウェーハは所望の最終厚さ近くまで薄くする。その後、半導体装置を形成する表面を研磨して鏡

面仕上げを行う。

【0004】上記従来の工程によって直径6インチのシリコンウェーハにおける鏡面仕上げされた厚みの最大値と最小値との差TTV (Total Thickness Variation) は、2～4  $\mu\text{m}$ 程度である。

【0005】

【発明が解決しようとする課題】本発明者は、図9に示す従来の工程におけるラッピングとエッチングの代わりに、砥石を用いる平面研削を適用して平坦性を向上させる方法を提案している（特願平02-129725、平成2年5月18日付出願及び特願平02-23775、平成2年9月7日付出願）。この方法により、直径6インチのシリコンウェーハにおけるTTVを1  $\mu\text{m}$ 程度に向上することが可能である。

【0006】しかし、平面研削後に行われる鏡面仕上げのための研磨により、平坦度が劣化することが避けられなかった。この平坦度の劣化の影響は、張り合わせ技術に基づくSOI基板において、より拡大して現れる。これは、SOIウェーハでは、SOI層（酸化膜上のシリコン層）の厚み分布がデバイス特性に直接影響を与えるためである。即ち、SOI層においては、SOIウェーハの支持側ウェーハ（デバイスを形成しない側）の厚み分布がそのままSOI層の厚み分布となるため、例えばSOI層の厚みが2  $\mu\text{m}$ 程度であるのに対して、支持側ウェーハのTTVが2  $\mu\text{m}$ あると、SOIウェーハを作製したときにSOI層のある領域とない領域とができてしまう。

【0007】従って、所望の厚さに均一に薄層化された能動層を得ることが要求される場合、TTVの更に小さいウェーハを得ることが課題となっている。そこで本発明は、単体の半導体ウェーハの平坦性或いは支持基板に接合された厚さ数 $\mu\text{m}$ 乃至それ以下の半導体層の厚さの均一性を更に向上することが可能な半導体基板の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的は、半導体からなる平板の第1の面を鏡面研磨する工程と、鏡面研磨された前記平板の第1の面を覆う保護膜を形成する工程と、前記保護膜によって覆われた前記平板の第1の面を平坦面に密着させた状態で前記平板の第2の面を平面研削する工程と、前記平板の第1の面から前記保護膜を除去する工程とを含むことを特徴とする半導体基板の製造方法によって達成される。

【0009】また、上記の半導体基板の製造方法において、前記平板がシリコンからなり、前記保護膜を形成する工程が、前記平板の第1の面をドライ酸化して前記平板の第1の面上にドライ酸化膜を形成した後、前記ドライ酸化膜上に気相成長によって気相成長酸化膜を形成する工程であることを特徴とする半導体基板の製造方法によって達成される。

【0010】また、上記の半導体基板の製造方法において、前記平板がシリコンからなり、前記保護膜を形成する工程が、前記平板の第1の面をウェット酸化して前記平板の第1の面上にウェット酸化膜を形成した後、ドライ酸化して前記平板の第1の面と前記ウェット酸化膜との間にドライ酸化膜を形成する工程であることを特徴とする半導体基板の製造方法によって達成される。

【0011】また、上記の半導体基板の製造方法において、前記平板の第1の面をドライ酸化する温度が、1000℃以上であることを特徴とする半導体基板の製造方法によって達成される。また、上記の半導体基板の製造方法において、前記平板の第1の面上に形成された前記ドライ酸化膜が、50nm以上の膜厚を有することを特徴とする半導体基板の製造方法によって達成される。

【0012】また、上記の半導体基板の製造方法において、前記平板がシリコンからなり、前記保護膜を除去する工程に引き続いて、少なくとも前記平板の第2の面を熱酸化して熱酸化膜を形成する工程と、前記熱酸化膜をエッチングにより除去する工程とを含むことを特徴とする半導体基板の製造方法によって達成される。更に、上記課題は、支持基板の第1の面を鏡面研磨する工程と、鏡面研磨された前記支持基板の第1の面を平坦面に密着させた状態で前記支持基板の第2の面を平面研削する工程と、半導体からなる平板の第1の面を鏡面研磨する工程と、鏡面研磨された前記平板の第1の面と前記支持基板の第1の面とを密着させた状態で前記平板と支持基板とを接合する工程と、前記平板と接合された前記支持基板の第2の面を平坦面に密着させた状態で前記平板の第2の面を平面研削して、前記平板を薄層化する工程とを含むことを特徴とする半導体基板の製造方法によって達成される。

【0013】また、上記の半導体基板の製造方法において、前記平板と支持基板とを接合する工程が、前記支持基板の第1の面上又は前記平板の第1の面上に絶縁膜を形成した後、前記絶縁膜を介して前記平板と前記支持基板とを接合する工程であることを特徴とする半導体基板の製造方法によって達成される。また、上記の半導体基板の製造方法において、前記平板と接合された前記支持基板の第2の面に対して研磨またはエッチングを施す工程を含むことを特徴とする半導体基板の製造方法によって達成される。

【0014】

【作用】半導体からなる平板の鏡面研磨仕上げされた第1の面を保護膜によって覆い、この第1の面を定盤のような平坦面に密着させた状態で平板の第2の面を平面研削することにより、研磨により生じた非平坦性を消去し、研磨面と平面研削面間の距離、即ち平板の厚さについて高い均一性を得ることができる。そして保護膜を除去すれば、半導体素子を形成することが可能な研磨面が表出する。

【0015】また、平板がシリコンからなる場合において、平板の第1の面側にドライ酸化膜を形成し、このドライ酸化膜と気相成長酸化膜又はウェット酸化膜とを組み合わせることで保護膜を形成することにより、この保護膜を除去して表出する研磨面の表面における凹凸を小さくすることができるため、この研磨面に形成する半導体素子の特性を向上させることができる。

【0016】また、平板の第2の面を熱酸化した後、この酸化膜をエッチング除去することにより、平面研削によって平板の第2の面に生じた結晶欠陥や汚染物質を除去することができる。更に、上記のようにして厚さを均一化した支持基板の研磨面と鏡面研磨した平板の第1の面とを絶縁層を介して接合した後、平板の第2の面を平面研削して薄層化することにより、張り合わせSOI基板において要求される薄層化された平板の厚さについての高い均一性を得ることができる。

【0017】また、平板と接合された支持基板の第2の面に対して研磨またはエッチングを施すことにより、平面研削によって支持基板の第2の面に生じた結晶欠陥や汚染物質を除去することができる。

【0018】

【実施例】以下、本発明を図示する実施例に基づいて具体的に説明する。図1は、本発明の第1の実施例による半導体基板の製造方法を説明するための工程図である。図1(a)に、上記図9に示す従来の工程によって作製された直径6インチのシリコンウェーハ11を示す。このシリコンウェーハ11は鏡面研磨された研磨面12と裏面13とをもち、その平均厚さは通常の厚さより約30 $\mu$ m大きい約655 $\mu$ mであり、図示のような厚さの不均一性を有している。但し、研磨面12に対する裏面13が平坦であるように模式的に描かれているため、厚さの不均一性は、研磨面12に集約して現れている。このときの研磨面12のTTVは、前記のように2~4 $\mu$ mである。

【0019】このシリコンウェーハ11の少なくとも研磨面12上に、保護膜を形成する。この保護膜の形成は、例えば水蒸気を含有する雰囲気中において温度1100℃で4時間シリコンウェーハ11を熱処理し、その表面に熱酸化膜を形成する周知の方法を用いて行えばよい。この場合には、図1(b)に示すように、シリコンウェーハ11の研磨面12及び裏面13を含む全面に、厚さ約1 $\mu$ mのウェット酸化膜14が生成される。なお、熱酸化法を用いる代わりに、周知のCVD（化学気相成長）法を用いて研磨面12上にCVD酸化膜を成長させることにより、保護膜を形成してもよい。

【0020】次いで、図1(c)に示すように、ウェット酸化膜14によって覆われたシリコンウェーハ11の研磨面12を定盤15の平坦面16に密着させる。この密着は、定盤15に設けられている図示しない貫通孔を通して真空吸着させる周知の方法によって行えばよい。

これにより、研磨面12が平坦となり、裏面13に非平坦性が現れた状態となる。なお、研磨面12はウェット酸化膜14によって覆われているため、定盤15との接触による欠陥の発生が防止される。

【0021】続いて、シリコンウェーハ11の裏面13を、回転砥石17により平面研削する。この平面研削は、例えば粒度が500番の回転砥石により約25 $\mu$ m研削した後、粒度が2000番の回転砥石により約5 $\mu$ m研削すると効率的である。このようにして、図1(d)に示すように、シリコンウェーハ11の裏面13が平坦化されると共に、平坦化された研削面13aが表出される。

【0022】次いで、NH<sub>4</sub>OH（水酸化アンモニウム）とH<sub>2</sub>O<sub>2</sub>（過酸化水素）との混合水溶液中にシリコンウェーハ11を約10分間浸漬して洗浄を行った後、シリコンウェーハ11を10%HF（弗酸）水溶液中に浸漬して、ウェット酸化膜14を除去する。これにより、図1(e)に示すように、シリコンウェーハ11の研磨面12が表出される。

【0023】次に、本発明の第2の実施例による半導体基板の製造方法を、図2に示す工程図を用いて説明する。なお、図1に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図2(a)に、上記第1の実施例によって作製された図1(e)の状態のシリコンウェーハ11を示す。このシリコンウェーハ11を、例えば水蒸気を含有する雰囲気中において温度1100℃で4時間熱処理すると、この熱酸化により、図2(b)に示すように、シリコンウェーハ11の研磨面12及び研削面13aが約0.44 $\mu$ mの深さまで酸化され、厚さ約1 $\mu$ mのウェット酸化膜18が生成される。

【0024】次いで、シリコンウェーハ11を10%HF水溶液中に浸漬して、図2(c)に示すように、ウェット酸化膜18を除去する。これにより、平面研削によってシリコンウェーハ11の研削面13aに生じた結晶欠陥及び汚染物質を除去することができる。このような欠陥や汚染物質が生じる深さは、平面研削に用いる砥石の粒度その他の研削条件によって異なるが、殆どの場合の1 $\mu$ m以下であり、汚染物質の方がより浅い層に存在する。従って、シリコンウェーハ11の裏面13の熱酸化によるウェット酸化膜18の生成とその除去により、汚染物質はほぼ完全に除去される。なお、欠陥はゲッターリング中心として機能するので、必ずしも全てを除去する必要はない。

【0025】次に、上記第1及び第2の実施例において得られたシリコンウェーハ11の平坦性及び結晶品質を調べた。結晶品質評価項目としては、OSF（酸化誘起積層欠陥）密度、研磨面12上に形成した酸化膜に電圧を印加したときに発生する耐圧欠陥密度、及び不純物濃度である。OSF密度は、表面の詳細な欠陥情報を与え

る。耐圧欠陥密度は、欠陥による表面の形状的不均一及び汚染に起因する絶縁耐圧劣化を表し、一種の欠陥情報を与える。耐圧限界が8MV/cm以下を欠陥と判定した。

【0026】不純物濃度の測定には、気相分解法を用いた原子吸光分析を適用した。この方法の概要は次の通りである。HNO<sub>3</sub>（硝酸）とHF（弗化水素）の蒸気にシリコンウェーハを曝す。表面で液化したHNO<sub>3</sub>とHFにより、ウェーハが薄くエッチングされる。この液に含まれている不純物を原子吸光法で定量する。HNO<sub>3</sub>とHFを蒸気にすることにより純度が向上し、且つ、少量の液によりシリコンウェーハがエッチングされるため

に、検出感度が高くなる特徴がある。

【0027】注目した不純物元素はFe（鉄）とCa（カルシウム）である。Feは、半導体装置の特性を劣化させる主要な不純物である。またCaは、平面研削に用いた砥石に、C（炭素C）、O（酸素）、H（水素）に次いで多く含まれている成分であるため、平面研削による汚染物質の標識として適当と考えた。上記の調査結果を、図9の工程で作製された従来のシリコンウェーハについてのそれと比較して表1に示す。

【0028】

【表1】

		第1の実施例 の場合	第2の実施例 の場合	従来品
平坦性 (TTV: $\mu\text{m}$ ) 平均値 $\pm \sigma$		$0.6 \pm 0.2$	$0.7 \pm 0.3$	$2.2 \pm 0.8$
OSF密度 (個/cm <sup>2</sup> )	表面	15	8	3
	裏面	>1000	70	— *
耐圧欠陥密度 (個/cm <sup>2</sup> ) 絶縁層厚 20nm		5.2	3.3	2
不純物濃度 (原子/cm <sup>2</sup> )	Fe	$5 \times 10^{11}$	$1 \times 10^{11}$	$1 \times 10^{11}$
	Ca	$5 \times 10^9$	$< 1 \times 10^9$	$< 1 \times 10^9$

【0029】ここで、\*は鏡面研磨されていないため測定不可能であることを示す。この表1から明らかなように、平坦性は第1の実施例の場合が最も良く、欠陥や不純物除去のための酸化及びエッチングを行った第2の実施例の場合にはやや劣化しているが、1 $\mu\text{m}$ 以下のTTV値を有しており、従来品に比べると著しく向上している。

【0030】また、OSF密度及び耐圧欠陥密度は、第1及び第2の実施例の場合とも、従来品より増加しているが、実用上問題ない値である。更に、不純物濃度については、第1の実施例の場合は従来品より高い。しかし、第2の実施例の場合に示されるように、欠陥除去と同時に除去されてしまうことが分かる。

【0031】次に、本発明の第3の実施例による半導体基板の製造方法を、図3に示す工程図を用いて説明する。なお、図1に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図3(a)に、図

1(a)に示すものと同じ、鏡面研磨された研磨面12と裏面13とをもつ平均厚さ約655 $\mu\text{m}$ のシリコンウェーハ11を示す。このシリコンウェーハ11を、ドライO<sub>2</sub>（酸素）雰囲気中において温度1100℃で15分間熱処理し、シリコンウェーハ11表面を熱酸化する。このドライ酸化により、シリコンウェーハ11の研磨面12及び裏面13を含む全面に厚さ50nmのドライ酸化膜19が形成される。

【0032】続いて、CVD法を用いて、各ガス流量がSiH<sub>4</sub>（シラン）=2.0l/min、O<sub>2</sub>=1.2l/min、N<sub>2</sub>（窒素）=13.8l/min、ウェーハ温度400℃、堆積時間27分の堆積条件で、シリコンウェーハ11の研磨面12のドライ酸化膜19上に、厚さ約1 $\mu\text{m}$ のCVD酸化膜20を成長させる。これにより、図3(b)に示すように、シリコンウェーハ11の研磨面12上に、ドライ酸化膜19とCVD酸化膜20からなる保護膜が形成される。



【0033】次いで、上記図1(c)～(d)に示す工程と同様にして、ドライ酸化膜19及びCVD酸化膜20によって覆われたシリコンウェーハ11の研磨面12を定盤の平坦面に密着させた後、シリコンウェーハ11の裏面13を、例えば粒度が800番の回転砥石によって約10 $\mu$ m研削し、更に粒度が2000番の回転砥石により約5 $\mu$ m研削する。この平面研削により、図3(c)に示すように、シリコンウェーハ11の裏面13を平坦化し、研削面13aを表出させる。

【0034】次いで、 $\text{NH}_4\text{OH}$ と $\text{H}_2\text{O}_2$ との混合水溶液によるシリコンウェーハ11の洗浄を行った後、10%HF水溶液によってCVD酸化膜20及びドライ酸化膜19を除去する。こうして、図3(d)に示すように、鏡面研磨された研磨面12と平面研削された研削面13aとの距離が一定している均一な厚さのシリコンウェーハ11を得ることができる。

【0035】この実施例において、保護膜として、ドライ酸化によりシリコンウェーハ11の研磨面12にドライ酸化膜19を形成したのは、ドライ酸化によって形成される $\text{Si}/\text{SiO}_2$ 界面の凹凸が大きくなり、特に温度900℃以上でのドライ酸化によれば凹凸が減少することが知られているからである。従って、ドライ酸化膜19を除去した後のシリコンウェーハ11の研磨面12表面における凹凸は小さくなる。なお、このドライ酸化膜19と、この上に形成したCVD酸化膜20との界面の状態が良好でなくとも、最終的にはCVD酸化膜20及びドライ酸化膜19の両者とも除去されるので問題ない。

【0036】また、厚さ50nmのドライ酸化膜19に厚さ約1 $\mu$ mのCVD酸化膜20を組み合わせることで保護膜を構成したのは、次のような理由による。シリコンウェーハ11の研磨面12を定盤15の平坦面16に密着させる際の欠陥の発生を防止するために、保護膜全体としては1 $\mu$ m程度の厚さが必要である。しかし、図4のウェット酸化とドライ酸化の酸化速度を示すグラフ(Helm utF. Wolf, International Series of Monographs on Semiconductors, Pergamon Press, p. 549参照)から明らかなように、ドライ酸化の酸化膜形成速度は極めて小さいため、1 $\mu$ mの厚さを得るためには温度1200℃で酸化しても1000分かかってしまう。このため、ドライ酸化によって保護膜全体を形成するのはコストの面で適当でない。従って、このドライ酸化膜19に成長速度の大きいCVD酸化膜20を組み合わせることにより、保護膜として必要な厚さを確保することとした。

【0037】次に、本発明の第4の実施例による半導体基板の製造方法を、図5に示す工程図を用いて説明する。なお、図3に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図5(a)に、図3(a)に示すものと同じ、鏡面研磨された研磨面12と裏面13とをもつ平均厚さ約655 $\mu$ mのシリコンウ

ェーハ11を示す。このシリコンウェーハ11を、例えば水蒸気を含む雰囲気中において温度1100℃で250分間熱処理すると、シリコンウェーハ11の研磨面12及び裏面13がウェット酸化され、厚さ約1 $\mu$ mのウェット酸化膜21が生成される。このときの酸化速度は、図4のウェット酸化とドライ酸化の酸化速度を示すグラフから明らかなように、ドライ酸化と比較して5～10倍も速いため、比較的短時間で所望の膜厚を得ることができる。

【0038】続いて、このウェット酸化膜21が形成されたシリコンウェーハ11を、ドライ $\text{O}_2$ 雰囲気中において温度1000℃で25分間熱処理する。このドライ酸化により、シリコンウェーハ11とウェット酸化膜21との界面に、厚さ40nmのドライ酸化膜22が形成される。これにより、図5(b)に示すように、シリコンウェーハ11の研磨面12上に、ドライ酸化膜22とウェット酸化膜21からなる保護膜が形成される。

【0039】次いで、ドライ酸化膜22及びウェット酸化膜21によって覆われたシリコンウェーハ11の研磨面12を定盤の平坦面に密着させた後、シリコンウェーハ11の裏面13を平面研削することにより、図5

(c)に示すように、シリコンウェーハ11の裏面13を平坦化し、研削面13aを表出させる。次いで、 $\text{NH}_4\text{OH}$ と $\text{H}_2\text{O}_2$ との混合水溶液によるシリコンウェーハ11の洗浄を行った後、10%HF水溶液によってウェット酸化膜21及びドライ酸化膜22を除去する。こうして、図5(d)に示すように、鏡面研磨された研磨面12と平面研削された裏面13との距離が一定している均一な厚さのシリコンウェーハ11を得ることができる。

【0040】この実施例において、ドライ酸化膜22とウェット酸化膜21を組み合わせることで保護膜を構成したのは、次のような理由による。シリコンウェーハ11のウェット酸化によりウェット酸化膜21を形成した後、続いてドライ酸化をすることにより、図6(a)、(b)の $\text{Si}/\text{SiO}_2$ 界面の変化を表す模式図に示すように、最初のウェット酸化によって形成されるシリコンウェーハ11とウェット酸化膜21との $\text{Si}/\text{SiO}_2$ 界面に凹凸が形成されるが、続いて行われたドライ酸化によってシリコンウェーハ11とウェット酸化膜21との間にドライ酸化膜22が形成され、シリコンウェーハ11とドライ酸化膜22との $\text{Si}/\text{SiO}_2$ 界面が形成されるため、 $\text{Si}/\text{SiO}_2$ 界面の凹凸が減少する。

【0041】ウェット酸化によって生じた $\text{Si}/\text{SiO}_2$ 界面の凹凸の振幅は5nmぐらいであることを実験により分かった。従って、この振幅の10倍近い厚さのドライ酸化膜を形成すると、ウェット酸化によって生じた凹凸は大幅に減少すると考えられる。従って、この実施例においては厚さ40nmのドライ酸化膜22を形成することとした。

【0042】また、ドライ酸化の酸化温度を上昇させると、更にSi/SiO<sub>2</sub>界面の凹凸が減少することが知られている。従って、ドライ酸化の酸化温度を1000℃から更に高温にすることにより、更に凹凸の小さいSi/SiO<sub>2</sub>界面を得ることができる。こうして、この実施例においても、上記第3の実施例と同様に、ウエット酸化膜21及びドライ酸化膜22を除去した後のシリコンウェーハ11の研磨面12表面における凹凸を同様に小さくすることができる。

【0043】次に、シリコンウェーハ11の研磨面12における凹凸が研磨面12に形成する半導体装置の特性に及ぼす影響を調べた。具体的には、上記第1及び第4の実施例において得られたシリコンウェーハ11の研磨面12上に、所定の厚さの酸化膜を形成し、この酸化膜耐圧を測定して両者の比較を行った。その結果を図7に示す。

【0044】この図7のグラフから明らかなように、シリコンウェーハ11の研磨面12を覆う保護膜としてウエット酸化膜14を用いた第1の実施例の場合においては、Bモードの耐圧破壊が生じているのに対し、ウエット酸化に続いてドライ酸化を行い、シリコンウェーハ11の研磨面12上にドライ酸化膜22とウエット酸化膜21とを組み合わせることで保護膜を形成した第2の実施例の場合は、Bモードの耐圧強度の密度が著しく減少しており、高電界強度での真性破壊に集中している。このような第2の実施例の場合における酸化膜耐圧特性の向上は、シリコンウェーハ11の研磨面12表面の凹凸の減少に起因するものである。

【0045】次に、本発明の第5の実施例による半導体基板の製造方法を、図8に示す工程図を用いて説明する。なお、図1又は図2に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図8

(a)に示すように、第1又は第2の実施例によって作製されたシリコンウェーハ11を支持基板として用意すると共に、図9に示す従来の工程によって作製されたシリコンウェーハ31を用意する。シリコンウェーハ11は、鏡面研磨された研磨面12と平面研削された研削面13aとの距離が一定している均一な厚さを有し、他方シリコンウェーハ31は、鏡面研磨された研磨面32と裏面33とをもち、その厚さは不均一性を有している。

【0046】そして図8(b)に示すように、鏡面研磨したシリコンウェーハ11の研磨面12と同じく鏡面研磨したシリコンウェーハ31の研磨面32とを互いに向き合うようにして重ね合わせる。このとき、シリコンウェーハ11の研磨面12上及びシリコンウェーハ31の研磨面32上のいずれか若しくは双方に、絶縁膜を予め形成しておく。

【0047】図8(a)には、この絶縁膜として、シリコンウェーハ31の全面に厚さ約1μmのウエット酸化膜34を形成した場合を示してある。このウエット酸化

膜34の形成は、例えば水蒸気を含有する雰囲気中において温度1100℃で4時間シリコンウェーハ31を熱処理し、その表面を熱酸化することによって行われる。従ってこの場合には、シリコンウェーハ31の研磨面32及び裏面33を含む全面にウエット酸化膜34が生成される。なお、熱酸化法を用いる代わりに周知のCVD法を用いて、シリコンウェーハ11の研磨面12上又はシリコンウェーハ31の研磨面32上にCVD酸化膜を成長させることにより、絶縁膜を形成してもよい。

【0048】図9の工程によって作製されたシリコンウェーハ31には厚さの不均一性があるため、図8(b)に示すように、ウエット酸化膜34を介してシリコンウェーハ11と重ね合わされた状態のシリコンウェーハ31の裏面33には非平坦性が現れているが、後に研削するので問題はない。なお、支持基板としてのシリコンウェーハ11の代わりに、石英ガラス等の絶縁物からなる基板を、第1の実施例と同様にして表面を鏡面研磨し裏面を平面研削して用いてもよく、この場合には、絶縁膜の形成を省略してもよい。

【0049】このようにウエット酸化膜34を介して互いに重ね合わされたシリコンウェーハ11とシリコンウェーハ31は、例えば窒素雰囲気中において温度1000℃で30分間熱処理することにより、強固に接合する。次いで、図1(c)に示す工程と同様にして、シリコンウェーハ11の裏面13を定盤の平坦面に密着させて固定した後、シリコンウェーハ31の裏面33を回転砥石によって平面研削して、約3μmまで薄層化する。これにより、シリコンウェーハ31は厚さ約3μmのシリコン層31aとなり、研削面33aが表出される。図8(c)はこの直後の状態を示す。この平面研削は、例えば粒度が500番の回転砥石により約600μm研削した後、粒度が2000番の回転砥石により約20μm研削すると効率的である。

【0050】このようにして薄層化されたシリコン層31aの露出した研削面33aに対して、図8(d)に示すように、更に通常の化学的・機会的研磨により鏡面仕上げを施す。このときの最終厚さは2μmである。これにより、シリコン層31aの研削面33aは、鏡面仕上げを施された研磨面33bとなる。更に、シリコンウェーハ11の研削面13aを研磨又はエッチングして結晶欠陥を除去する。

【0051】このようにして、支持基板としてのシリコンウェーハ11上に厚さ約1μmのウエット酸化膜34を介して厚さ2μmのシリコン層31aが形成されたSOI構造の半導体基板、即ちSOI基板が完成する。このSOI基板における研磨面のTTVは1.0±0.2μmであり、従来の張り合わせ構造のSOI基板のTTVが2.1±1.0μmであるのに比べると、著しい平坦面、即ち層厚の均一性を得ることができる。

【0052】

【発明の効果】以上のように本発明によれば、半導体装置を形成する表面を鏡面研磨仕上げした後に裏面を平面研削するため、平板の平坦性を著しく向上させ、T T V を小さくすることができる。平面研削時に定盤等との接触によって研磨面に欠陥が発生する可能性がある問題は、研磨面を予め保護膜で覆っておくことにより防止される。また、研磨面に接してドライ酸化膜を形成し、このドライ酸化膜と気相成長酸化膜又はウェット酸化膜とを組み合わせることで保護膜を形成することにより、保護膜を除去して表出する研磨面の表面における凹凸を小さくすることができる。更に、平面研削により裏面に発生する結晶欠陥及び汚染は、その裏面の熱酸化及び熱酸化膜のエッチングにより実用上支障のないレベルまで除去される。

【0053】その結果、将来の高密度・高性能半導体集積回路の製造に適用可能な単一又はS O I 構造の半導体基板を提供できる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体基板の製造方法を説明するための工程図である。

【図2】本発明の第2の実施例による半導体基板の製造方法を説明するための工程図である。

【図3】本発明の第3の実施例による半導体基板の製造方法を説明するための工程図である。

【図4】ウェット酸化とドライ酸化の酸化速度を示すグラフである。

ラフである。

【図5】本発明の第4の実施例による半導体基板の製造方法を説明するための工程図である。

【図6】S i / S i O<sub>2</sub> 界面の変化を表す模式図である。

【図7】本発明の第1及び第4の実施例によるシリコンウェーハの研磨面上に形成した酸化膜の耐圧特性を示すグラフである。

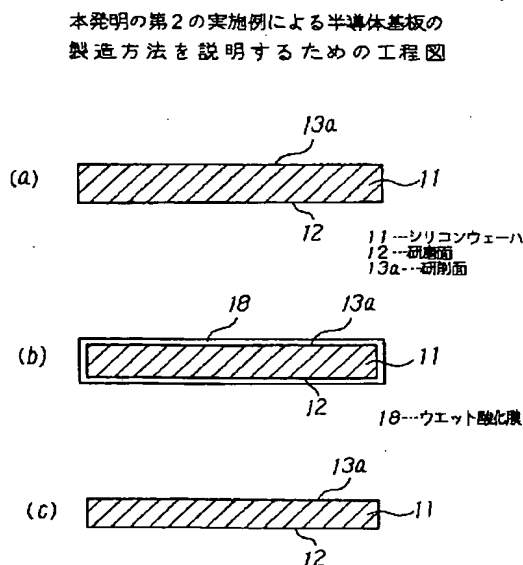
【図8】本発明の第5の実施例による半導体基板の製造方法を説明するための工程図である。

【図9】従来のシリコンウェーハを作製する工程を説明する図である。

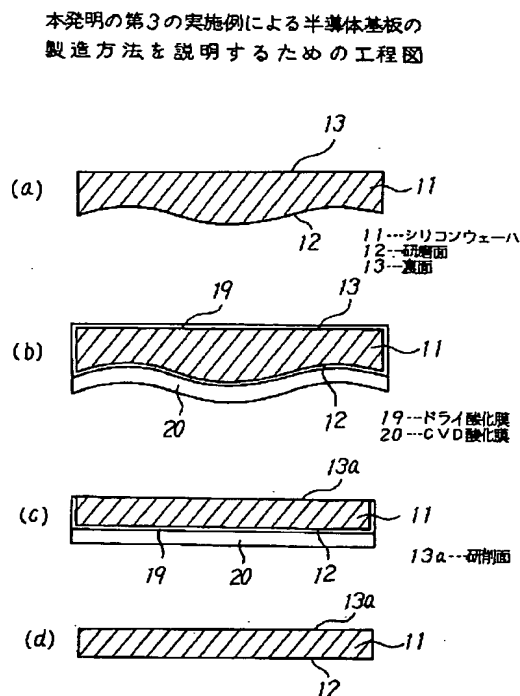
#### 【符号の説明】

- 11、31…シリコンウェーハ
- 12、32、33b…研磨面
- 13、33…裏面
- 13a、33a…研削面
- 14、18、21、34…ウェット酸化膜
- 15…定盤
- 16…平坦面
- 17…回転砥石
- 19、22…ドライ酸化膜
- 20…CVD酸化膜
- 31a…シリコン層

【図2】

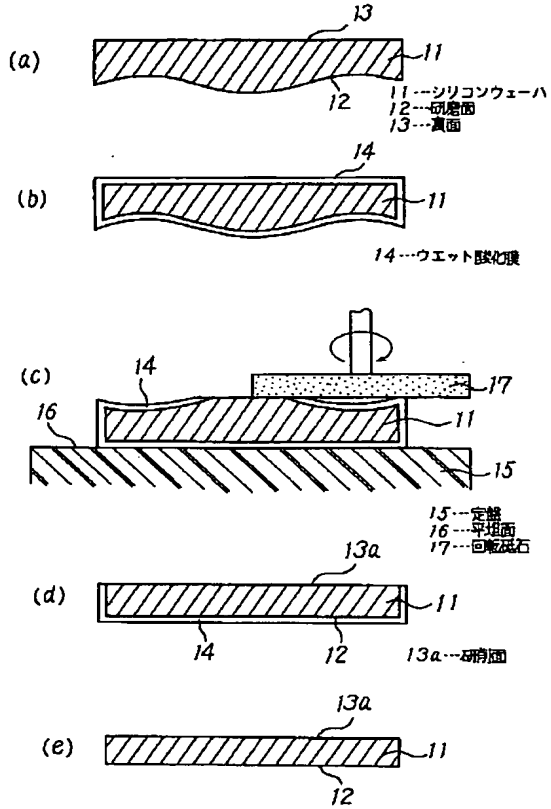


【図3】



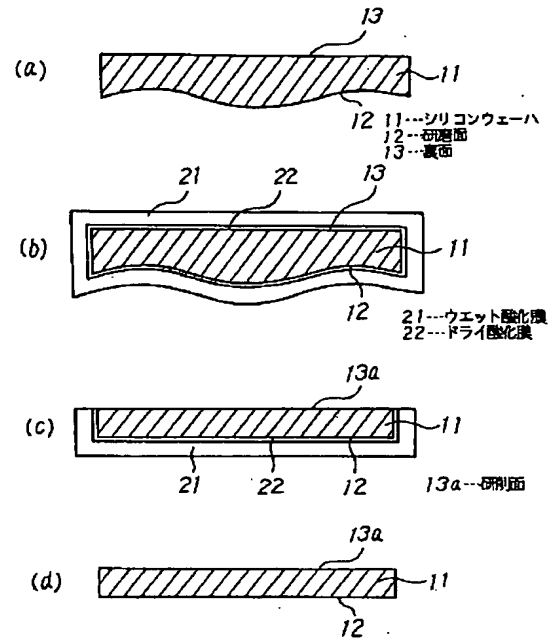
【図 1】

本発明の第1の実施例による半導体基板の製造方法を説明するための工程図



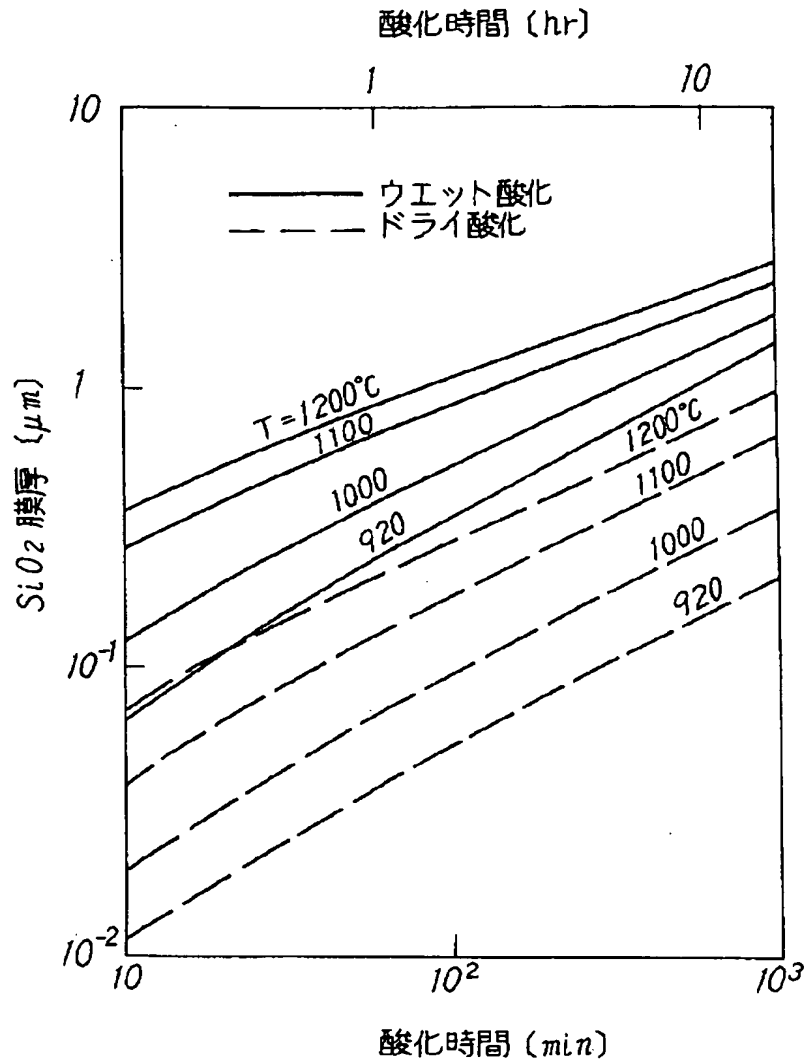
【図 5】

本発明の第4の実施例による半導体基板の製造方法を説明するための工程図



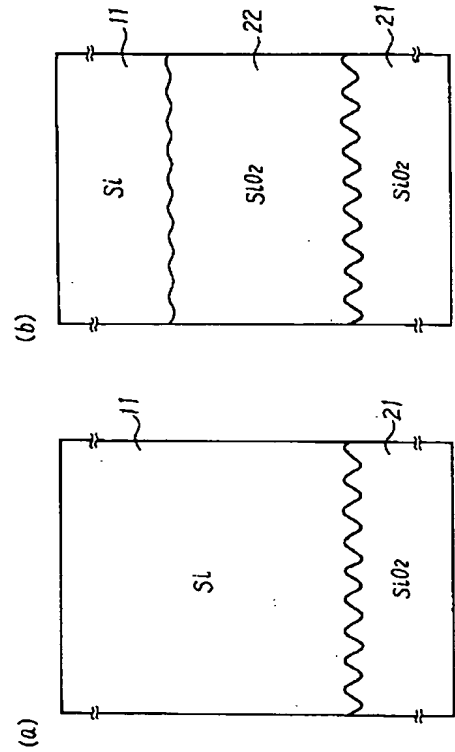
【図4】

ウェット酸化とドライ酸化の酸化速度を示すグラフ



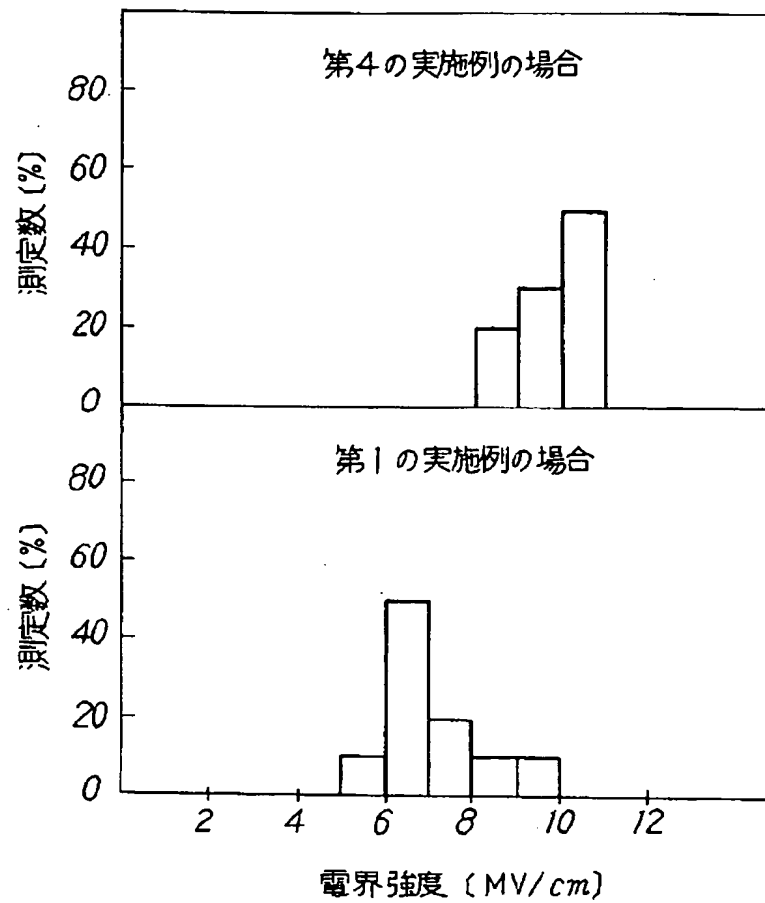
【図6】

図5の工程図におけるSi/SiO<sub>2</sub>界面の変化を表す模式図



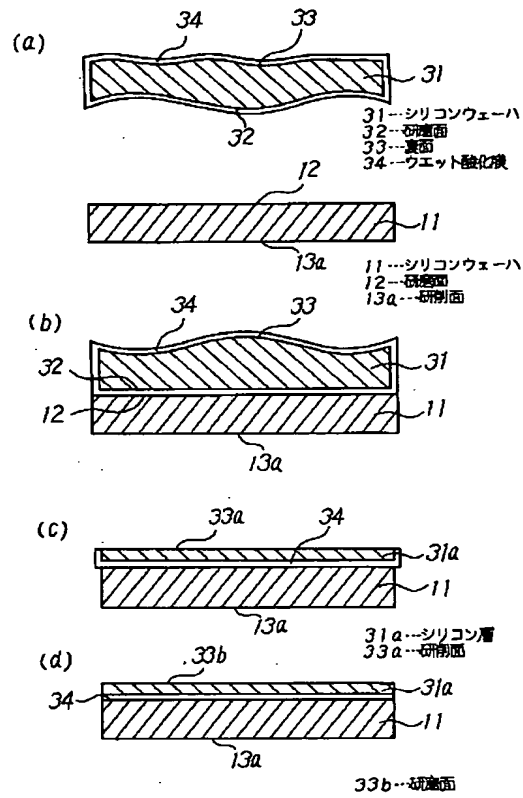
【図7】

本発明の第1及び第4の実施例によるシリコンウェーハの研磨面上に形成した酸化膜の耐压特性を示すグラフ



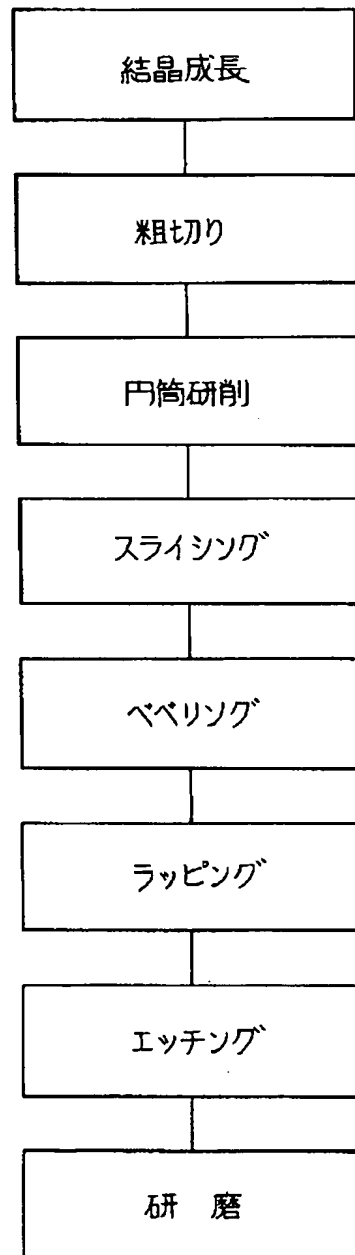
【図8】

本発明の第5の実施例による半導体基板の  
製造方法を説明するための工程図



【図9】

従来のシリコンウェーハを作製する工程を説明する図





フロントページの続き

(72)発明者 清川 義弘  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内